

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

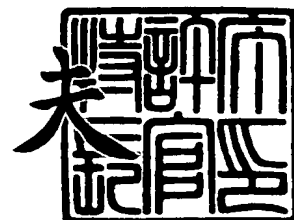
出 願 番 号 特 願 2 0 0 3 - 0 8 6 4 6 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 6 4 6 3]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 6 4 8

【書類名】 特許願

【整理番号】 KGA1030027

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 新井 啓之

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 茂木 修治

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 木村 毅

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 徳永 哲也

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100071283

 【弁理士】

 【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 蛍光表示管駆動回路

【特許請求の範囲】

【請求項 1】 フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記フィラメントを駆動するフィラメント駆動手段と、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、を有する蛍光表示管駆動回路であって、

前記グリッド駆動手段及び前記セグメント駆動手段によって、前記グリッド電極及び前記セグメント電極がともに駆動される電圧となり、前記電圧となる期間 TW が所定期間以下である場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とする制御手段を備えることを特徴とする蛍光表示管駆動回路。

【請求項 2】 前記フィラメント駆動手段は、前記フィラメントをパルス駆動するためのパルス駆動信号を出力することを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 3】 前記制御手段は、所定期間以下となる前記期間 TW において、前記フィラメント駆動手段の出力を所定レベルに固定することを特徴とする請求項 1 又は 2 に記載の蛍光表示管駆動回路

【請求項 4】 前記蛍光表示管駆動回路は、一方の論理値である場合に前記フィラメント駆動手段の出力を無効に設定可能とし、他方の論理値である場合に前記フィラメント駆動手段の出力を有効に設定可能とするデータ X を外部から受信し、

前記制御手段は、

前記外部から受信したデータ X が前記一方の論理値である場合、前記フィラメント駆動手段の出力を所定期間以下となる前記期間 TW だけ無効に設定し、

前記外部から受信したデータ X が前記他方の論理値である場合、前記フィラメント駆動手段の出力を有効に設定することを特徴とする請求項 1 乃至 3 のいずれかに記載の蛍光表示管駆動回路。

【請求項 5】 前記蛍光表示管駆動回路は、

前記グリッド駆動手段の出力又は前記セグメント駆動手段の出力のデューティ比に対応づけたデータ Y を外部から受信し、

前記期間 TW を、前記受信したデータ Y に対応した前記デューティ比に基づくパルス幅の期間とすることを特徴とする請求項 4 に記載の蛍光表示管駆動回路。

【請求項 6】 前記蛍光表示管駆動回路は、

前記グリッド駆動手段の出力又は前記セグメント駆動手段の出力のデューティ比に対応づけたデータ Y を外部から受信し、

前記制御手段は、

前記受信したデータ Y に対応した前記デューティ比に基づく前記期間 TW が所定期間以下となる場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とすることを特徴とする請求項 1 乃至 4 のいずれかに記載の蛍光表示管駆動回路。

【請求項 7】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記フィラメント駆動手段の出力に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とすることを特徴とする請求項 1 乃至 6 のいずれかに記載の蛍光表示管駆動回路。

【請求項 8】 前記フィラメント駆動手段の出力に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を有することを特徴とする請求項 1 乃至 6 のいずれかに記載の蛍光表示管駆動回路。

【請求項 9】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能とすることを特徴とする請求項 8 に記載の蛍光表示管駆動回路。

【請求項 10】 前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路であることを特徴とする請求項 8 に記載の蛍光表示管駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、利便性を向上させた蛍光表示管駆動回路に関する。

【0002】**【従来の技術】**

蛍光表示管（Vacuum fluorescent Display、以下、VFDと称す）は、真空容器の中で、フィラメントと呼ばれる直熱形カソードに電圧を印加してフィラメントを発熱させることにより熱電子を放出させ、その熱電子をグリッド電極にて加速させてアノード（セグメント）電極上の蛍光体に衝突発光させることにより所望のパターンを表示する自発光型の表示デバイスのことである。VFDは、視認性、多色化、低動作電圧、信頼性（耐環境性）などの面において優れた特徴を有しており、自動車用、家電用、民生用など様々な用途・分野において利用されている。

【0003】

また、VFDについては、フィラメントに電圧を印加する方式の一つとして、パルス駆動方式が提案されている。パルス駆動方式とは、フィラメントの通常の定格電圧と比べてかなり高い直流電圧をチョッピングしたパルス電圧（以下、フィラメントパルス電圧と称す）をフィラメントに印加する方式のことであり、輝度傾斜の小さな発光状態が得られるなどの特徴を有する。

【0004】

図9は、従来のパルス駆動方式を説明する図である。同図に示すように、従来のパルス駆動方式では、外部発振器30、又はフィラメント11を駆動する素子を内蔵若しくは外部に接続したマイコンなどの外部コントローラ40において、一定のデューティー比を有するフィラメントパルス電圧を、基準クロック信号（外部発振器30の場合は発振クロック、外部コントローラ40の場合はシステムクロック）に基づいて設定し、フィラメント11に対して印加し続けることになる。なお、前述した外部発振器30や外部コントローラ40などの、従来のパルス駆動方式を用いたVFD駆動回路（以下、単に従来のVFD駆動回路と称す）としては、例えば、以下に示す特許文献1に開示された技術がある。

【0005】

また、従来のVFD駆動回路では、VFD10使用時における周囲の環境条件（周囲照度など）に応じて、VFD10を適切な輝度にて表示させるようにVFD10の輝度調整を行う仕組みが備わっている。なお、VFD10の輝度調整を行う仕組みとしては、グリッド電極12に印加する電圧（以下、グリッド電圧と称す）のデューティー比を調整するグリッドディミングと呼ばれる手法や、セグメント（アノード）電極13に印加する電圧（以下、セグメント電圧と称す）のデューティー比を調整するアノードディミングと呼ばれる手法が一般的に用いられている。なお、以下では、グリッドディミングやアノードディミングのことを単にディミングと総称する。

【0006】

ここで、従来のVFD駆動回路は、例えば、図8（a）に示すような、ディマー調整データとディマー値との対照表に基づいて、前述したディミングを行うことになる。なお、ディマー調整データとは、グリッド電圧やセグメント電圧のデューティー比として設定可能な値と対応づけられたデータであり、外部からVFD駆動回路に対してディミングを行う場合に指定する。また、ディマー調整データは、例えば、図8（a）に示すDM0をLSB（Least Significant Bit）とした10ビットのバイナリデータ（DM0～DM9）のように、ディミングの分解能に応じたビット数のバイナリデータとすることができる。一方、ディマー値とは、前述したデューティー比として設定可能な値のことであり、図8（b）の波形図に示されたパルス幅TWとパルス周期Tとを用いて、“パルス幅TW／パルス周期T”と定義することができる。

【0007】

【特許文献1】

特開2002-108263号公報

【0008】

【発明が解決しようとする課題】

図10は、従来のVFD駆動回路が、一定のデューティー比を有するフィラメントパルス電圧をフィラメント11に印加し続けている状態にて、グリッド電圧及びセグメント電圧のデューティー比を“1／2”、“1／4”、“1／8”と減じて

いくようなディミングを行った場合における主要信号の波形図である。なお、同図に示すグリッド電圧及びセグメント電圧が共にHレベルとなる期間は、グリッド電極12及びセグメント電極13がともに駆動される電圧となっている期間（以下、オン期間と称す）を表しており、その期間では、駆動されたセグメント電極13上の蛍光体が発光し、VFD10にて所望のパターンが表示されているものとする。

【0009】

ここで、オン期間において、フィラメントパルス電圧がHレベルとなる期間においては、フィラメントとグリッド電極及びセグメント電極との間の電位差が小さくなるので、VFD10の輝度が低下することになる。また、図10に示すように、グリッド電圧及びセグメント電圧のデューティー比を減じていくと、オン期間が短くなるとともに、オン期間においてフィラメントパルス電圧がHレベルとなる期間が占める割合が大きくなるので、前述したようなVFD10の輝度の低下がより顕著なものとなる。（なお、グリッド電圧及びセグメント電圧のデューティー比“1/8”が、その下限閾値と言われている。）

すなわち、従来のVFD駆動回路では、VFD10の輝度を低下させるべく、グリッド電圧及びセグメント電圧のデューティー比を減じていくようなディミングを行うことになる。この場合、ディミングに基づいてVFD10の輝度が低下する割合よりも、オン期間にてフィラメントパルス電圧がHレベルとなる期間の占める割合が大きくなる影響を受けてVFD10の輝度が低下する割合の方が大きくなる。このため、従来のVFD駆動回路は、オン期間が短い場合では、ディミングにて所望の輝度調整を行えなかった。

【0010】

本発明は、以上のような経緯に基づいてなされたものであり、その目的は、グリッド電極及びセグメント電極がともに駆動される電圧となっている期間が短い場合であっても、ディミングにて所望の輝度調整を行えるようにし、VFD駆動回路の利便性を向上させることである。

【0011】

【課題を解決するための手段】

前記課題を解決するための主たる本発明は、フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記フィラメントを駆動するフィラメント駆動手段と、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、を有する蛍光表示管駆動回路であって、

前記グリッド駆動手段及び前記セグメント駆動手段によって、前記グリッド電極及び前記セグメント電極がともに駆動される電圧となり、前記電圧となる期間 TW が所定期間以下である場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とする制御手段を備えることである。

【0012】

なお、前述の「期間 TW 」とは、具体的には、グリッド電極に印加される電圧（以下、グリッド電圧）及びセグメント電極に印加される電圧（以下、セグメント電圧）が共に H レベルとなる期間のことである。また、前述の「所定期間」とは、例えば、グリッド電圧及びセグメント電圧について、その一周期の約 $1/8$ の期間とすることができる。また、前述の「フィラメント駆動手段の出力」とは、前述の「フィラメントパルス電圧」や、フィラメントを駆動する素子に供給する後述の「パルス駆動信号」とすることができる。また、前述の「制御手段」は、例えば、後述の「FPD制御手段」のことである。

【0013】

本発明に係る蛍光表示管駆動回路は、前述した特徴を有することによって、グリッド電極及びセグメント電極がともに駆動される電圧となっている期間が短い場合であっても、その期間、フィラメントとグリッド電極及びセグメント電極との間の電位差を一定（但し、フィラメントの長手方向では、若干の電位傾斜が生じる）とすることによって、ディミングにて所望の輝度調整を行うことができるので、その利便性を向上させることができる。

本発明の他の特徴については、添付図面及び本明細書の記載により明らかにする。

【0014】

【発明の実施の形態】

=== 開示の概要 ===

以下の開示により、少なくとも次のことが明らかにされる。

フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記フィラメントを駆動するフィラメント駆動手段と、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、を有する蛍光表示管駆動回路であって、前記グリッド駆動手段及び前記セグメント駆動手段によって、前記グリッド電極及び前記セグメント電極がともに駆動される電圧となり、前記電圧となる期間 TW が所定期間以下である場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とする制御手段を備えることである。

【0015】

なお、前述の「期間 TW 」とは、具体的には、グリッド電極に印加される電圧（以下、グリッド電圧）及びセグメント電極に印加される電圧（以下、セグメント電圧）が共に H レベルとなる期間のことである。また、前述の「所定期間」とは、例えば、グリッド電圧及びセグメント電圧について、その一周期の約 $1/8$ の期間とすることができる。また、前述の「フィラメント駆動手段の出力」とは、前述の「フィラメントパルス電圧」や、フィラメントを駆動する素子に供給する後述の「パルス駆動信号」とすることができる。また、前述の「制御手段」は、例えば、後述の「FPD制御手段」のことである。

【0016】

本発明に係る蛍光表示管駆動回路は、前述した特徴を有することによって、グリッド電極及びセグメント電極がともに駆動される電圧となっている期間が短い場合（例えば、前記電圧となっている期間が、1周期の約 $1/8$ 以下となる場合）であっても、その期間、フィラメントとグリッド電極及びセグメント電極との間の電位差を一定（但し、フィラメントの長手方向では、若干の電位傾斜が生じる）とすることによって、ディミングにて所望の輝度調整を行うことができるので、その利便性を向上させることができる。

【0017】

本発明の第2の態様について、前記フィラメント駆動手段は、前記フィラメン

トをパルス駆動するためのパルス駆動信号を出力する。

このように、本発明を、パルス駆動方式にてフィラメントを駆動する蛍光表示管駆動回路に対して適用することができる。

【0018】

本発明の第3の態様について、前記制御手段は、所定期間以下となる前記期間TWにおいて、前記フィラメント駆動手段の出力を所定レベルに固定する。

ここで、前述の「所定レベル」とは、後述のスイッチング素子をオフさせるための論理値のことであり、例えば、スイッチング素子として、Pch-MOS型FETの場合は”Hレベル”、Nch-MOS型FETの場合は”Lレベル”とすることができる。

【0019】

本発明の第4の態様について、前記蛍光表示管駆動回路は、一方の論理値である場合に前記フィラメント駆動手段の出力を無効に設定可能とし、他方の論理値である場合に前記フィラメント駆動手段の出力を有効に設定可能とするデータXを外部から受信し、前記制御手段は、前記外部から受信したデータXが前記一方の論理値である場合、前記フィラメント駆動手段の出力を所定期間以下となる前記期間TWだけ無効に設定し、前記外部から受信したデータXが前記他方の論理値である場合、前記フィラメント駆動手段の出力を有効に設定する。

ここで、前述の「データX」とは、例えば、後述の「FPD設定データ」のことであり、例えば、前述の「一方の論理値」としては”Hレベル”、前述の「他方の論理値」としては”Lレベル”とすることができる。

本発明の第4の態様では、前述のデータXに基づいて外部から本発明に係る機能自体の有効又は無効を設定可能であるので、蛍光表示管駆動回路の利便性を向上させることができる。

【0020】

本発明の第5の態様について、前記蛍光表示管駆動回路は、前記グリッド駆動手段の出力又は前記セグメント駆動手段の出力のデューティー比に対応づけたデータYを外部から受信し、前記期間TWを、前記受信したデータYに対応した前記デューティー比に基づくパルス幅の期間とする。

ここで、前述の「データ Y」とは、例えば、後述の「ディマー調整データ」のことである。

本発明の第 5 の態様では、例えば、前述の「データ Y」に基づいて外部から蛍光表示管の輝度調整（ディミング）をしつつ、前述の「データ X」に基づいて外部から本発明に係る機能自体の有効又は無効を設定可能となるので、蛍光表示管駆動回路の利便性を向上させることができる。

【0021】

本発明の第 6 の態様について、前記蛍光表示管駆動回路は、前記グリッド駆動手段の出力又は前記セグメント駆動手段の出力のデューティ比に対応づけたデータ Y を外部から受信し、前記制御手段は、前記受信したデータ Y に対応した前記デューティ比に基づく前記期間 TW が所定期間以下となる場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とする。

このようにして、本発明に係る蛍光表示管駆動回路は、外部からデータ Y を受信するごとに、その受信したデータ Y に基づいて、フィラメント駆動手段の出力無効とする場合を自動的に判定し、フィラメント駆動手段の出力を前記期間 TW だけ無効とすることができるので、その利便性を向上させることができる。

【0022】

本発明の第 7 の態様について、前記蛍光表示管駆動回路は、半導体集積回路であり、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とする。

なお、前述したスイッチング素子とは、例えば、Pch-MOS 型 FET や Nch-MOS 型 FET であり、本発明に係る蛍光表示管駆動回路は、このようなスイッチング素子を外部に接続可能とするインタフェース（後述の FPCON 端子）を備えるようにしてもよい。

【0023】

本発明の第 8 の態様について、前記フィラメント駆動手段の出力に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を有する。

このように、本発明では、本発明に係る蛍光表示管駆動回路を用いた様々なア

アプリケーション回路（例えば、蛍光表示管モジュール）に対して、前述したスイッチング素子を備えるようにしてもよい。好ましくは、本発明の第9の態様として、前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能としてもよいし、本発明の第10の態様として、前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路としてもよい。

【0024】

=== 実施例 ===

以下、本発明の実施の形態を図面に基づいて具体的に説明する。

【0025】

<システム構成>

図1は、本発明に係る一実施形態であるパルス駆動方式のVFD駆動回路20を含めたシステムの概略構成図である。以下では、同図に示すように、グリッド電極12及びセグメント電極13の駆動をダイナミック駆動方式とし、グリッド電極12を駆動するためのグリッド駆動信号のデューティサイクル（パルス幅／繰り返し周期）が“1／2”であり（すなわち、グリッド（桁数）が2桁）、“90”セグメント出力に対応したVFD駆動回路20に関して、本発明を実施した場合について説明する。なお、本発明に係るVFD駆動回路20は、前述したグリッド数（2桁）及びセグメント数（90セグメント）に限定されるものではなく、また、グリッド電極12及びセグメント電極13の駆動を、ダイナミック駆動方式又はスタティック駆動方式の少なくともいずれかを組み合わせた駆動方式としてもよい。例えば、スタティック駆動方式を採用した場合には、セグメント数分のセグメント電極13と、一つのグリッド電極12にて全ての桁表示を行う。この場合、一つのグリッド電極12には、一定の電圧（グリッド電圧）が印加される。

なお、前述したダイナミック駆動方式及びスタティック駆動方式の概要としては、例えば、産業図書発行の「ディスプレイ技術シリーズ 蛍光表示管8.2 基本的駆動回路（154頁～158頁）」に記載されている。

【0026】

まず、VFD 駆動回路 2 0 の周辺回路に関して、VFD 1 0、外部発振器 3 0、外部コントローラ 4 0、スイッチング素子 5 0 を順に説明する。

VFD 1 0 は、フィラメント 1 1、グリッド電極 1 2、セグメント（アノード）電極 1 3 によって構成される。フィラメント 1 1 は、VFD 駆動回路 2 0 からスイッチング素子 5 0 を介して、パルス駆動方式に基づいてフィラメントパルス電圧が印加されることによって加熱され、熱電子を放出する。グリッド電極 1 2 は、桁選択用の電極として作用し、フィラメント 1 1 から放出された熱電子を加速もしくは遮断する。セグメント電極 1 3 は、セグメント選択用の電極として作用する。なお、セグメント電極 1 3 の表面上には、表示すべきパターンの形状にて蛍光体が塗布されており、グリッド電極 1 2 にて加速された熱電子を、その蛍光体に衝突発光させることによって、所望のパターンが表示されることになる。

【0027】

また、VFD 1 0 では、グリッド電極 1 2 からは各桁ごとに独立して別々にリード線が引き出される一方、セグメント電極 1 3 からは各桁ごとに対応するセグメントどうしを共通に内部接続してリード線が引き出される。これらのグリッド電極 1 2 及びセグメント電極 1 3 から引き出されたリード線は、それぞれ VFD 駆動回路 2 0 の対応する出力端子（グリッド出力端子は G 1 ~ G 2、セグメント出力端子は S 1 ~ S 4 5）と接続される。

【0028】

外部発振器 3 0 は、抵抗 R や容量素子 C などによって構成される RC 発振手段であり、VFD 駆動回路 2 0 の発振器用端子（OSCI 端子、OSCO 端子）と接続されることにより、RC 発振回路を構成する。なお、外部発振器 3 0 は、固有の発振周波数を有する水晶振動子やセラミック振動子などとし、自走発振手段としての水晶又はセラミック発振回路を構成するようにしてもよい。また、外部発振器 3 0 は、他走発振用のクロック信号を VFD 駆動回路 2 0 に供給する他走発振手段としてもよい。

【0029】

外部コントローラ 4 0 は、VFD 駆動素子を含まないマイコンなどであり、リアルデータ転送用のデータバスを介して VFD 駆動回路 2 0 と接続されており

、所定のデータ転送フォーマットにて、VFD10を駆動するために必要な信号をVFD駆動回路20に送信する。なお、外部コントローラ40とVFD駆動回路20との間のデータ転送としては、前述したシリアルデータ転送に限らず、パラレルデータ転送としてもよい。

【0030】

スイッチング素子50は、PchのMOS型FETであり、そのゲート端子が、後述するパルス駆動信号を出力するVFD駆動回路20のFPCON端子と接続されている。なお、スイッチング素子50としては、PchのMOS型FETに限定されず、例えば、NchのMOS型FETによる構成としてもよいし、NchのMOS型FETとPchのMOS型FETを組み合わせた構成としてもよい。また、スイッチング素子50は、VFD駆動回路20のFPCON端子から供給されるパルス駆動信号に応じてオン／オフ（スイッチング）動作することによって、フィラメント電源電圧VFLから、VFD10のフィラメント11に印加するフィラメントパルス電圧を生成する。

【0031】

なお、図1に示されているVFD駆動回路20のFPR端子は、スイッチング素子50の入出力特性に応じて、FPCON端子から出力されるパルス駆動信号の極性を設定するための入力端子であり、例えば、図1に示すように、スイッチング素子50にPch-MOS型FETを採用した場合には、FPR端子に電源電圧VDD（"H"固定）を接続する。また、スイッチング素子50にNch-MOS型FETを採用した場合には、FPR端子を接地（"L"固定）する。

【0032】

図2は、外部コントローラ40とVFD駆動回路20との間のデータ転送フォーマットについてのタイミングチャートである。同図に示すように、データ転送フォーマットとしては、グリッド電極G1に関するシーケンス（以下、G1シーケンスと称す）と、グリッド電極G2に関するシーケンス（以下、G2シーケンスと称す）と、を有する。なお、データ転送フォーマットは、前述したフォーマットに限定されるものではなく、G1シーケンス及びG2シーケンスを一回のシーケンスにて実行してもよい。

【0033】

以下、G1シーケンス及びG2シーケンスについて概略的に説明する。

まず、G1シーケンスにおいて、外部コントローラ40は、同期クロック信号CLと併せてVFD駆動回路20に付与されたバスアドレス（8ビット）をVFD駆動回路20に送信する。VFD駆動回路20は、受信したバスアドレスが自身に付与されたバスアドレスか否かを識別する。そして、自身のバスアドレスであると識別すると、外部コントローラ40から受信したバスアドレスに付帯して送信される制御命令（後述のコントロールデータなど）を、自身への制御命令として受け付ける。このように、バスアドレスとは、個々のICに付与された固有のアドレスのことであり、外部コントローラ40と複数のICが同一のバスライン上に接続された実施形態において、外部コントローラ40が、同一のバスライン上の複数のICを制御するために用いられる。

【0034】

つぎに、外部コントローラ40は、チップイネーブル信号CEをアサート（Hレベルとする）してVFD駆動回路20をイネーブル（選択）状態とし、引き続いて、グリッド電極G1に関する45ビットの表示データ（D1～D45）、VFD駆動回路20の各制御に用いられる16ビットのコントロールデータ等を送信する。なお、16ビットのコントロールデータは、ディミング用のディマー調整データ（DM0～DM9）、グリッド識別子DD（例えば、グリッド電極G1の場合は”1”、グリッド電極G2の場合は”0”とする）等を有する。この後、外部コントローラ40は、チップイネーブル信号CEをネゲート（Lレベルとする）し、VFD駆動回路20をディゼーブル（非選択）状態にするとともに、同期クロック信号CLの送信を停止し、G1シーケンスを完結する。

【0035】

一方、G2シーケンスでは、前述したG1シーケンスと同様な手順にて、グリッド電極G2に関する45ビットの表示データ（D46～D90）が送信される。なお、G2シーケンスにおいて、VFD駆動回路20に送信されるコントロールデータとしては、後述のFPD（Filament Pulse Disable）設定データなどを有する。

【0036】**<VFD駆動回路>**

図3は、本発明に係るパルス駆動方式のVFD駆動回路20のブロック図である。

VFD駆動回路20は、インタフェース部201、発振回路202、分周回路203、タイミング発生器204、シフトレジスタ205、コントロールレジスタ206、ラッチ回路207、マルチプレクサ208、セグメントドライバ209、グリッドドライバ210、ディマー制御手段211、フィラメントパルス制御手段212と、を有する。

【0037】

インタフェース部201は、外部コントローラ40との間において、図2に示したようなデータの送受信を行うインタフェース手段である。

発振回路202は、外部発振器30が発振器用端子(OSCI、OSCO)と接続されることによって、VFD駆動回路20に関する基準クロック信号を生成する。この基準クロック信号は、分周回路203によって所定の分周数に分周され、タイミング発生器204に供給される。

【0038】

タイミング発生器204は、分周回路203から供給された信号に基づいて、グリッド電極G1～G2を駆動するための信号(以下、グリッド駆動信号と称す)のタイミング等を決定する信号(以下、内部クロック信号Aと称す)や、フィラメントパルス制御手段212において、後述のパルス駆動信号のタイミング等を決定する信号(以下、内部クロック信号Bと称す)などを出力する。

【0039】

シフトレジスタ205は、前述したG1又はG2シーケンスごとにインタフェース部201にて受信した、45ビットの表示データ、16ビットのコントロールデータ(ディマー調整データ、後述のFPD設定データ、グリッド識別子DDなどを含む)をパラレルデータに変換し、コントロールレジスタ206、ラッチ回路207、フィラメントパルス制御手段212などに供給する。

【0040】

コントロールレジスタ 206 は、シフトレジスタ 205 から供給される 32 ビット (16 ビット×2) のコントロールデータを格納する。なお、コントロールレジスタ 206 に格納されたコントロールデータについて、それに含まれるディマー調整データは、ディマー制御手段 211 に供給される。

【0041】

ラッチ回路 207 は、シフトレジスタ 205 から供給された、グリッド電極 G1 に関しての 45 ビットの表示データ及びグリッド電極 G2 に関しての 45 ビットの表示データを保持する。すなわち、ラッチ回路 207 は、グリッド電極 G1 ~ G2 の駆動に係る繰り返し周期ごとに、90 ビットの表示データを保持することになる。

【0042】

マルチプレクサ 208 は、グリッド電極 G1 ~ G2 それぞれを駆動するタイミングにて、ラッチ回路 207 にて保持されている 90 ビットの表示データから、駆動する方のグリッド電極 G1 又は G2 に関する 45 ビットの表示データを選択し、セグメントドライバ 209 に供給する。

【0043】

セグメントドライバ 209 は、マルチプレクサ 208 にて選択・供給された 45 ビットの表示データに基づいて、セグメント電極 S1 ~ S45 を駆動するための信号を形成し、セグメント電極 S1 ~ S45 に出力する。なお、セグメント電極 S1 ~ S45 を駆動するための信号としては、セグメント電極 S1 ~ S45 に印加する電圧 (以下、セグメント電圧) としてもよいし、セグメントドライバ 209 とセグメント電極 S1 ~ S45 の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい (以下、前記セグメント電圧や前記制御信号を総称して、セグメント駆動信号と称す)。

【0044】

グリッドドライバ 210 は、タイミング発生器 204 から供給される内部クロック信号 A に基づいて、グリッド駆動信号を形成し、グリッド電極 G1 ~ G2 に出力する。なお、グリッド電極 G1 ~ G2 を駆動するための信号としては、グリッド電極 G1 ~ G2 に印加する電圧 (以下、グリッド電圧) としてもよいし、グ

リッドドライバ 2 1 0 とグリッド電極 G 1 ～ G 2 の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい（以下、前記グリッド電圧や前記制御信号を総称して、グリッド駆動信号と称す）。

【 0 0 4 5 】

デイマー制御手段 2 1 1 は、コントロールレジスタ 2 0 6 から供給されるデイマー調整データに基づき、前記セグメント駆動信号や前記グリッド駆動信号のデューティー比を調整する。

【 0 0 4 6 】

フィラメントパルス制御手段 2 1 2 は、タイミング発生器 2 0 4 から供給される内部クロック信号 B に基づいて、フィラメント 1 1 をパルス駆動するためのパルス駆動信号を形成し、F P C O N 端子を介してスイッチング素子 5 0 に出力する。また、フィラメントパルス制御手段 2 1 2 は、F P R 端子から供給される信号に基づいて、パルス駆動信号の極性を設定する。

【 0 0 4 7 】

なお、本発明に係る V F D 駆動回路 2 0 では、フィラメントパルス制御手段 2 1 2 において、グリッド電極 1 2 及びセグメント電極 1 3 がともに駆動される電圧となっている期間（以下、オン期間と称す）につき、パルス駆動信号をオン期間だけ無効とすることができる。

【 0 0 4 8 】

以下、本発明に係るフィラメントパルス制御手段 2 1 2 について説明する。

【 0 0 4 9 】

<フィラメントパルス制御手段>

図 4 は、本発明に係る一実施形態としてのフィラメントパルス制御手段 2 1 2 の概略ブロック図である。同図によると、フィラメントパルス制御手段 2 1 2 は、パルス駆動信号生成手段 7 0 と F P D (Filament Pulse Disable) 制御手段 8 0 とパルス駆動信号極性設定手段 1 1 0 とによって構成される。

【 0 0 5 0 】

パルス駆動信号生成手段 7 0 は、タイミング発生器 2 0 4 から供給された内部クロック信号 B に基づいて、所定のデューティー比を有するパルス駆動信号を生

成する手段である。

F P D制御手段60は、パルス駆動信号を無効とする期間を設定するための信号（以下、F P D I S信号と称す）を生成するF P D I S信号生成手段80と、外部コントローラ40から受信するF P D設定データに応じて、F P D I S信号の有効又は無効を設定可能な手段としてのN A N D素子90と、N A N D素子90の出力に応じて、パルス駆動信号生成手段70によって生成されたパルス駆動信号の有効又は無効を設定可能な手段としてのA N D素子100と、によって構成される。

【0051】

ところで、F P D設定データは、本発明に係るパルス駆動信号をオン期間だけ無効とする機能自体を有効又は無効に設定可能とするデータのことであり、例えば、前述したように、N A N D素子90にてF P D I S信号の有効又は無効を設定可能なデータとすることができる。なお、F P D設定データは、Hレベルである場合にはパルス駆動信号をオン期間だけ無効とし、Lレベルである場合にはパルス駆動信号をオン期間に限らず有効とするように設定されている。

【0052】

F P D制御手段60は、前述した構成に基づき、外部コントローラ40から受信するF P D設定データがHレベルの場合に、パルス駆動信号生成手段70によって生成されたパルス駆動信号を、オン期間、所定レベル（例えば、Hレベル）に固定することによって無効とする。なお、F P D制御手段60は、前述した構成に限定されるものでなく、前述したような論理を実現するものであればよい。

【0053】

パルス駆動信号極性設定手段110は、E x (Exclusive)-O R素子によって構成され、F P R端子に入力された信号レベルに応じて、パルス駆動信号の極性を設定する。なお、同図に示すように、スイッチング素子50としてP c h-M O S型F E Tを採用した場合、パルス駆動信号極性設定手段110は、F P C O N端子から出力されるパルス駆動信号の極性を、P c h-M O S型F E Tをオンする場合にはLレベル、オフする場合にはHレベルとなるように設定する。また、パルス駆動信号極性設定手段110は、前述したE x-O R素子に限定される

ものではなく、前述した論理を実現するものであればよい。

【0054】

図5は、前述したような構成を有するフィラメントパルス制御手段212について、その動作を説明するためのタイミングチャートである。

まず、図5（A）及び（B）に示す波形図のとおり、VFD駆動回路20にて、グリッド駆動信号及びセグメント駆動信号のデューティ比を“1/4”、“1/8”、“1/16”と減じていくようなディミングが行われる場合を想定する。

【0055】

ここで、図5に示す期間1Tでは、FPD設定データ（図5（D））がLレベルであるため、FPDIS信号（図5（C））が無効となり、NAND素子90の出力（図5（E））がHレベルとなる。そのため、パルス駆動信号生成手段70にて生成されたパルス駆動信号（図5（F））は、オン期間（Ta）においても有効となり、AND素子100（図5（G））、Ex-OR素子110（図5（H））を介して、スイッチング素子50に供給されることになる。

【0056】

一方、図5に示す期間2T、3Tでは、FPD設定データ（図5（D））がHレベルであるため、FPDIS信号（図5（C））が有効となり、NAND素子90の出力（図5（E））がFPDIS信号（図5（C））のパルス幅の期間Lレベルとなる。そのため、パルス駆動信号生成手段70にて生成されたパルス駆動信号（図5（F））は、オン期間（Tb、Tc）において無効となり、スイッチング素子50をオフさせる論理値（Hレベル：図5（H））にて、スイッチング素子50に供給されることになる。

【0057】

このようにして、本発明に係るVFD駆動回路20は、グリッド電極12及びセグメント電極13がともに駆動される電圧となっている期間が短い場合（例えば、前記電圧となっている期間が、1周期の約1/8以下となる場合）、その期間、フィラメント11とグリッド電極12及びセグメント電極13との間の電位差を一定（但し、フィラメント11の長手方向では、若干の電位傾斜が生じる）とすることによって、ディミングにて所望の輝度調整を行うことができるので、

その利便性を向上させることができる。

【0058】

また、本発明に係るVFD駆動回路20は、例えば、外部コントローラ40側からVFD10表示の輝度を確認しつつ、FPD設定データに基づいて本発明に係る機能自体の有効又は無効を設定可能となるので、その利便性を向上させることができる。

【0059】

<FPDIS信号生成手段>

ところで、本発明に係るVFD駆動回路20において、前記FPDIS信号生成手段80は、外部コントローラ40から受信するディマー調整データに基づき、そのディマー調整データに対応するディマー値（グリッド駆動信号及びセグメント駆動信号のデューティ比として設定可能な値）に応じたパルス幅を有する信号をFPDIS信号として生成することができる。

【0060】

このようなFPDIS信号生成手段80としては、例えば、図6に示すような回路構成にて実現することができる。以下では、図6に示すFPDIS信号生成手段80の一実施形態を、図7に示すFPDIS信号生成手段80の主要信号のタイミングチャートを適宜併用して説明する。

FPDIS信号生成手段80は、ラッチ手段801と、比較手段802と、カウンタ手段803と、信号生成手段804と、を有する。

【0061】

ラッチ手段801は、Dフリップフロップによって構成され、FPDIS信号（図7（E））を生成するための情報として、外部コントローラ40から受信したディマー調整データ（DM0～DM9）をラッチする。なお、ディマー調整データをラッチするタイミングとしては、例えば、図6に示すように、後述のRSフリップフロップ808のリセット入力（図7（D））における立ち上がり時（ t_0 、 t_3 、 t_6 ）とする。

【0062】

比較手段802は、Ex-NOR素子、NAND素子、NOR素子によって構

成され、ラッチ手段 801 にてラッチされたディマー調整データ (DM0~DM9) を反転した各ビットと、カウンタ手段 803 から出力される基準クロック信号に基づくカウント値 (1T~9T) とを比較し、一致する場合には"1"、不一致の場合には"0"を出力する。

【0063】

カウンタ手段 803 は、リセット端子付き T フリップフロップによって構成され、発振回路 202 にて生成された基準クロック信号を所定分周して (図 6 では、9 分周)、カウント値 (1T~9T) を生成するとともに、後述の RS フリップフロップ 808 の反転出力、すなわち、FPDIS 信号 (図 7 (E)) の逆極性となる信号の立ち下り時 (t0、t3、t6) にカウント値 (1T~9T) をリセットする。

【0064】

信号生成手段 804 は、D フリップフロップ 805、806 と、NOR 素子 807 と、RS フリップフロップ 808 によって構成される。

【0065】

D フリップフロップ 805 は、比較手段 802 からの出力を基準クロック信号の立ち上がり時 (t2) にセットするとともに、RS フリップフロップ 808 のセット端子に入力する (図 7 (C))。なお、図 7 に示す時刻 t2 は、カウンタ手段 803 にて時刻 t0 からカウントされたカウント値 (1T~9T) と、ラッチ手段 801 にてラッチされたディマー調整データ (DM0~DM9) を反転した各ビットとが一致した時刻を表している。

【0066】

D フリップフロップ 806 は、グリッド電極 G1~G2 それぞれを駆動する期間を一周期とするような内部クロック信号 A (図 7 (B)) に基づき、AND 素子 807 を介して内部クロック信号 A (図 7 (B)) を反転した信号を RS フリップフロップ 808 のリセット端子に入力する (図 7 (D))。

【0067】

RS フリップフロップ 808 は、前述したようなセット入力 (図 7 (C)) 及びリセット入力 (図 7 (D)) に基づいて、図 7 (E) に示すような FPDIS

信号を出力する。なお、このFPDIS信号のパルス幅TWは、ディマー制御手段211にて同一のディマー調整データに基づいて調整されたグリッド駆動信号（図7（F））のパルス幅TWG及びセグメント駆動信号（図7（G））のパルス幅TWSと同一若しくはそれらのパルス幅TWG、TWSを含むことになる。

【0068】

このようにして、FPDIS信号生成手段80は、外部コントローラ40から受信したディマー調整データに基づいて、図7の破線部S及びT内に示すようなパルス駆動信号をオン期間だけ無効とするためのFPDIS信号を生成する。なお、FPDIS信号生成手段80は、前述した構成に限定されるものではなく、前述した論理となればよい。

【0069】

本発明に係るVFD駆動回路20は、このようなFPDIS信号生成手段80を有することによって、グリッド電極12及びセグメント電極13がともに駆動される電圧となっている期間が短い場合であっても、その期間、フィラメント11とグリッド電極12及びセグメント電極13との間の電位差を一定とすることによって、ディミングにて所望の輝度調整を行うことができるので、その利便性を向上させることができる。

【0070】

また、前述した実施形態として、本発明に係るVFD駆動回路20は、外部コントローラ40から受信するディマー調整データに基づいて、そのディマー調整データに対応するディマー値（グリッド駆動信号及びセグメント駆動信号のデューティー比として設定可能な値）に応じたパルス幅の期間が、所定期間（例えば、グリッド駆動信号及びセグメント駆動信号の1周期の約 $1/8$ ）以下となる場合に、そのパルス幅の期間だけ、パルス駆動信号を無効とするようにしてもよい。

【0071】

このような実施形態としては、例えば、前述したFPDIS信号生成手段80において、比較手段802が“1”を出力するときのカウンタ手段803出力のカウント値（ $1T \sim 9T$ ）が、（1パルス周期の期間－前記所定期間）以上となる

場合に、比較手段 802 の出力をリセットする ("0" とする) 手段を新たに備えるようにすればよい。

【0072】

このようにして、本発明に係る VFD 駆動回路 20 は、外部コントローラ 40 からディマー調整データを受信するごとに、その受信したディマー調整データに基づいてパルス駆動信号を無効とする場合を自動的に判定することができるので、その利便性を向上させることができる。

【0073】

また、前述した実施形態として、本発明に係る VFD 駆動回路 20 を半導体集積回路とし、フィラメント 11 をパルス駆動するための電圧を生成するスイッチング素子 50 を外部に接続可能とするインタフェース (FPCON 端子) を備えるようにしてもよい。

【0074】

また、前述した実施形態として、本発明に係る VFD 駆動回路 20 を用いた様々なアプリケーション回路 (例えば、蛍光表示管モジュール) に対して、スイッチング素子 50 を備えるようにしてもよい。好ましくは、VFD 駆動回路 20 は、半導体集積回路とし、スイッチング素子 50 を外部に接続可能としてもよいし、集積化したスイッチング素子 50 を内蔵した半導体集積回路としてもよい。

【0075】

【発明の効果】

本発明によれば、蛍光表示管駆動回路の利便性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明に係る一実施形態としての蛍光表示管駆動回路を含めたシステムの概略構成図である。

【図 2】

本発明に係る一実施形態としての外部コントローラと蛍光表示管駆動回路との間のデータ転送フォーマットについてのタイミングチャートである。

【図 3】

本発明に係る一実施形態としての蛍光表示管駆動回路のブロック図である。

【図 4】

本発明に係る一実施形態としてのフィラメントパルス制御手段のブロック図である。

【図 5】

本発明に係る一実施形態としてのフィラメントパルス制御手段の動作を説明するタイミングチャートである。

【図 6】

本発明に係る一実施形態としての FPD 制御手段の回路構成図である。

【図 7】

本発明に係る一実施形態としての FPD 制御手段の動作を説明するタイミングチャートである。

【図 8】

ディマーマ調整データとディマーマ値との対照表の一例を説明する図である。

【図 9】

従来のパルス駆動方式を説明する図である。

【図 10】

従来のパルス駆動方式において蛍光表示管の各電極の電位関係を説明する図である。

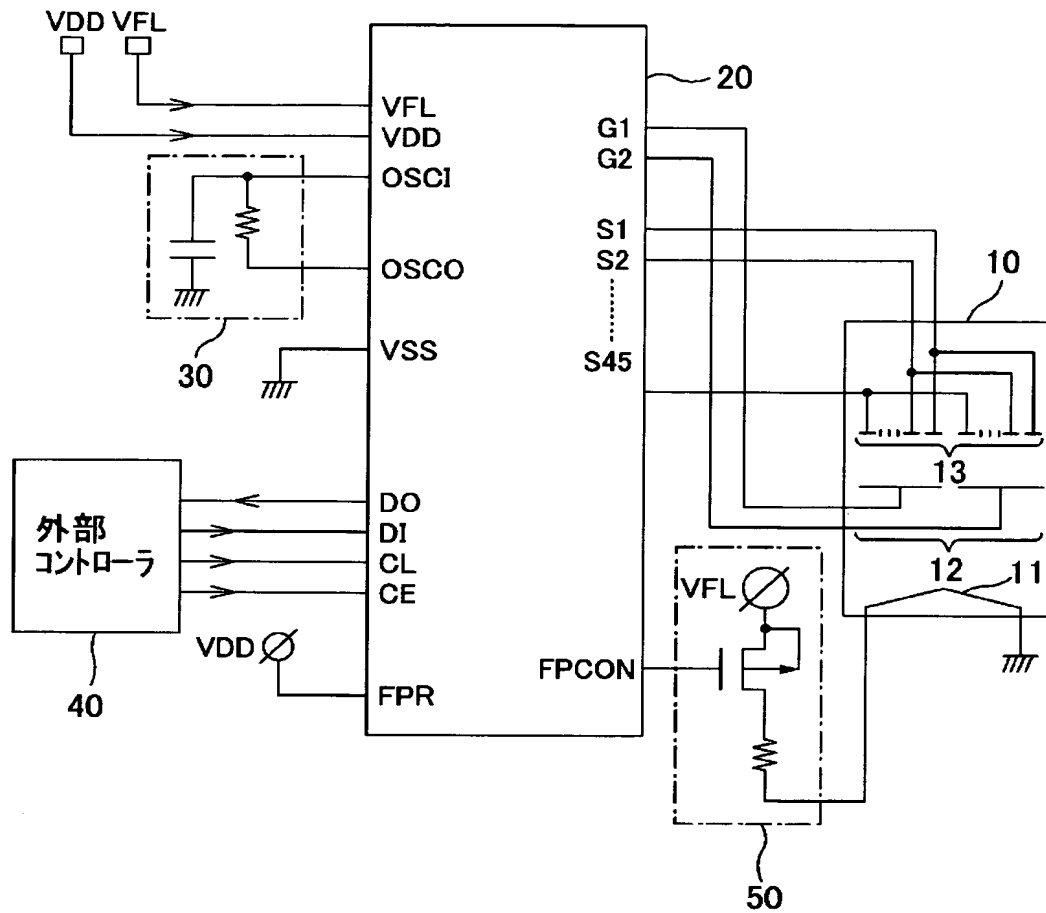
【符号の説明】

- 10 VFD
- 11 フィラメント
- 12 グリッド電極
- 13 セグメント電極
- 20 VFD 駆動回路
- 201 インタフェース部
- 202 発振回路
- 203 分周回路
- 204 タイミング発生器

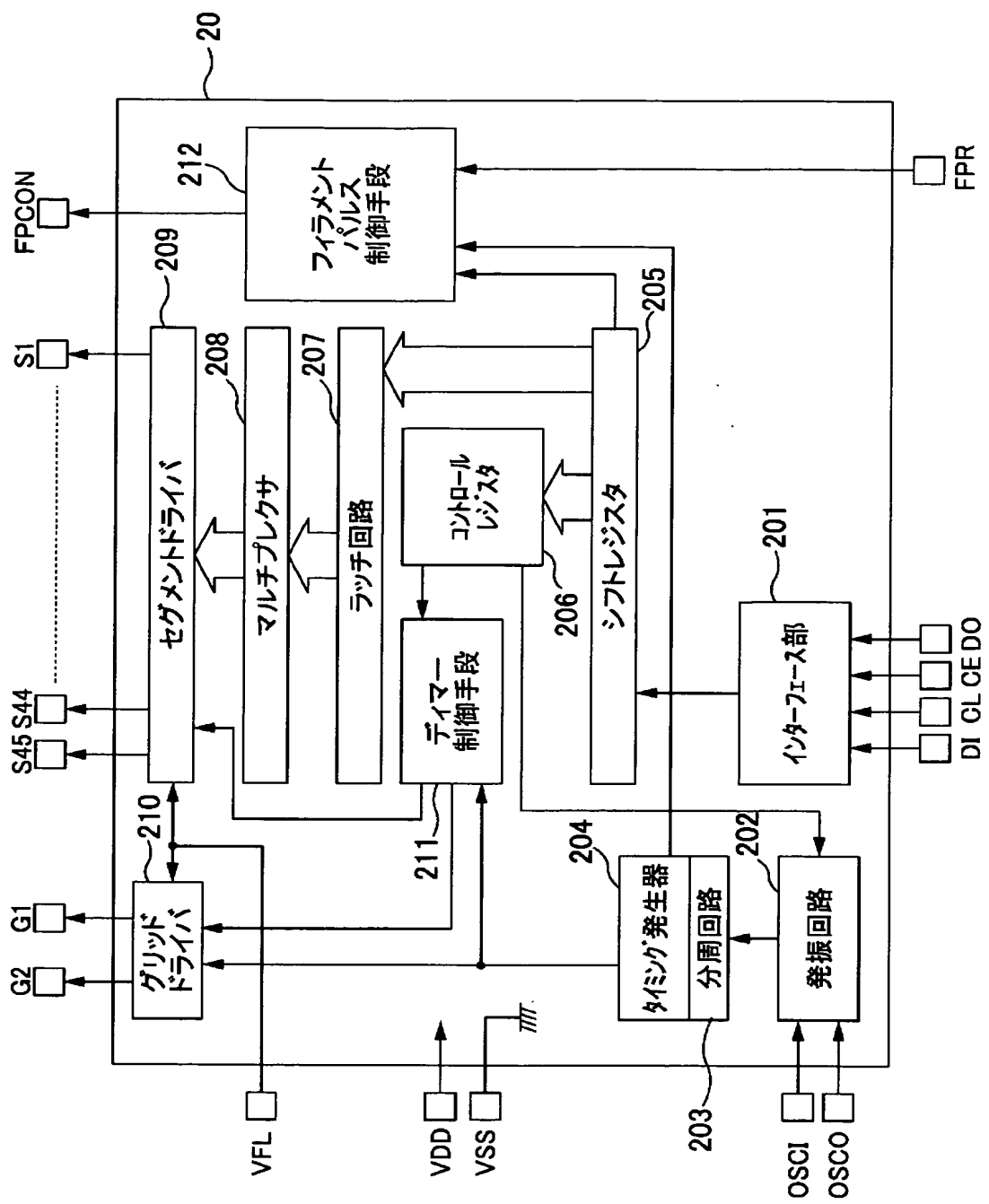
- 2 0 5 シフトレジスタ
- 2 0 6 コントロールレジスタ
- 2 0 7 ラッチ回路
- 2 0 8 マルチプレクサ
- 2 0 9 セグメントドライバ
- 2 1 0 グリッドドライバ
- 2 1 1 デイマー制御手段
- 2 1 2 フィラメントパルス制御手段
- 3 0 外部発振器
- 4 0 外部コントローラ
- 5 0 スイッチング素子
- 6 0 F P D 制御手段
- 7 0 パルス駆動信号生成手段
- 8 0 F P D I S 信号生成手段
- 9 0 N A N D 素子
- 1 0 0 A N D 素子
- 1 1 0 パルス駆動信号極性設定手段
- 8 0 1 ラッチ手段
- 8 0 2 比較手段
- 8 0 3 カウンタ手段
- 8 0 4 信号生成手段
- 8 0 5 8 0 6 D フリップフロップ
- 8 0 7 N O R 素子
- 8 0 8 R S フリップフロップ

【書類名】 図面

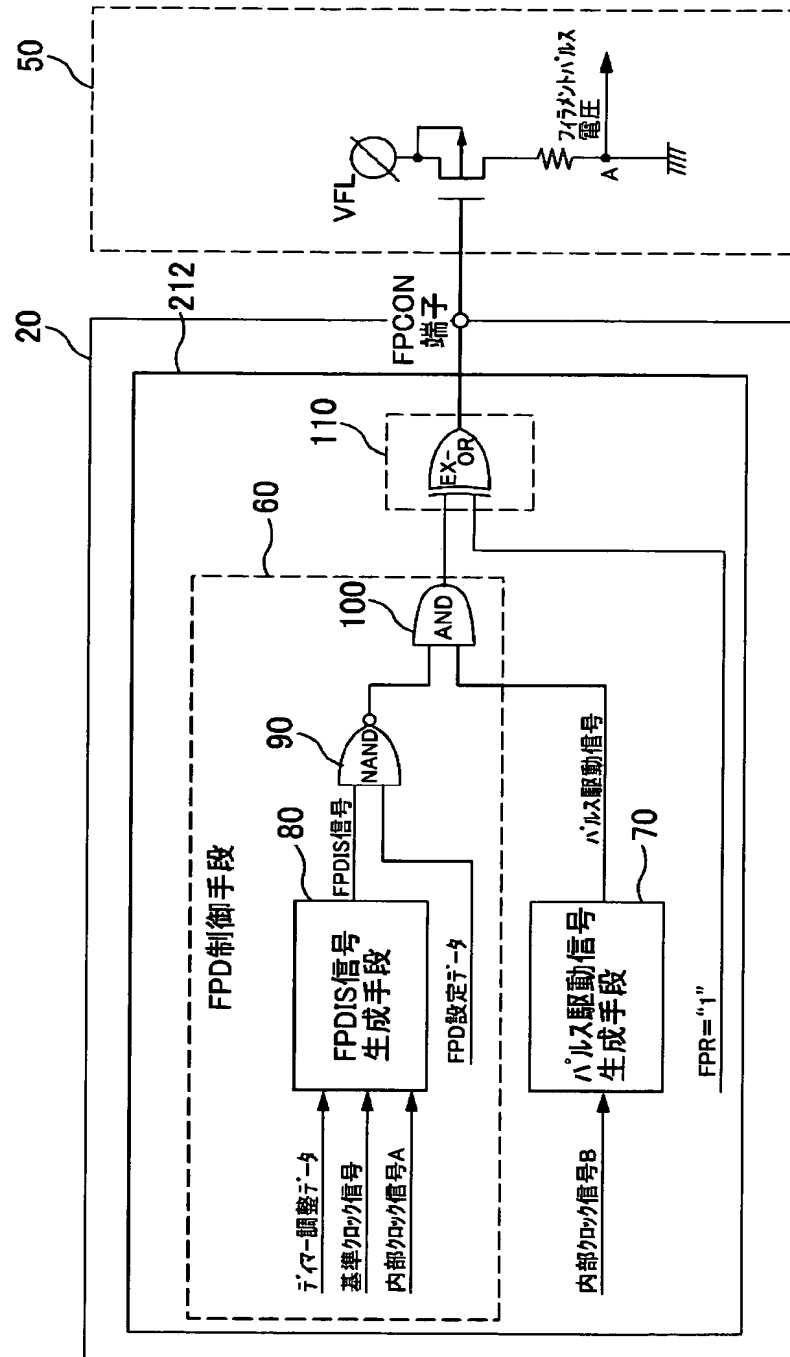
【図 1】



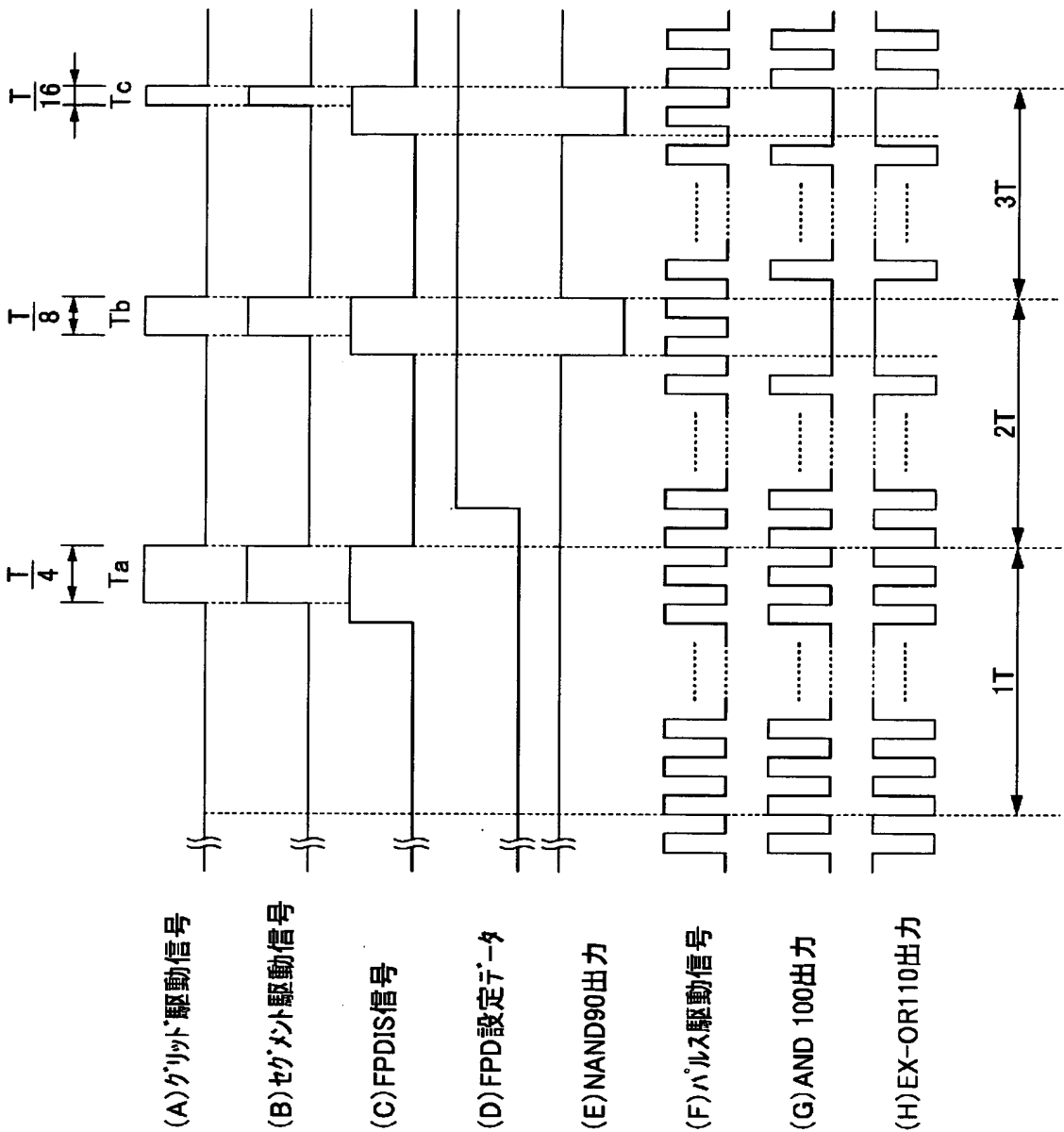
【図 3】



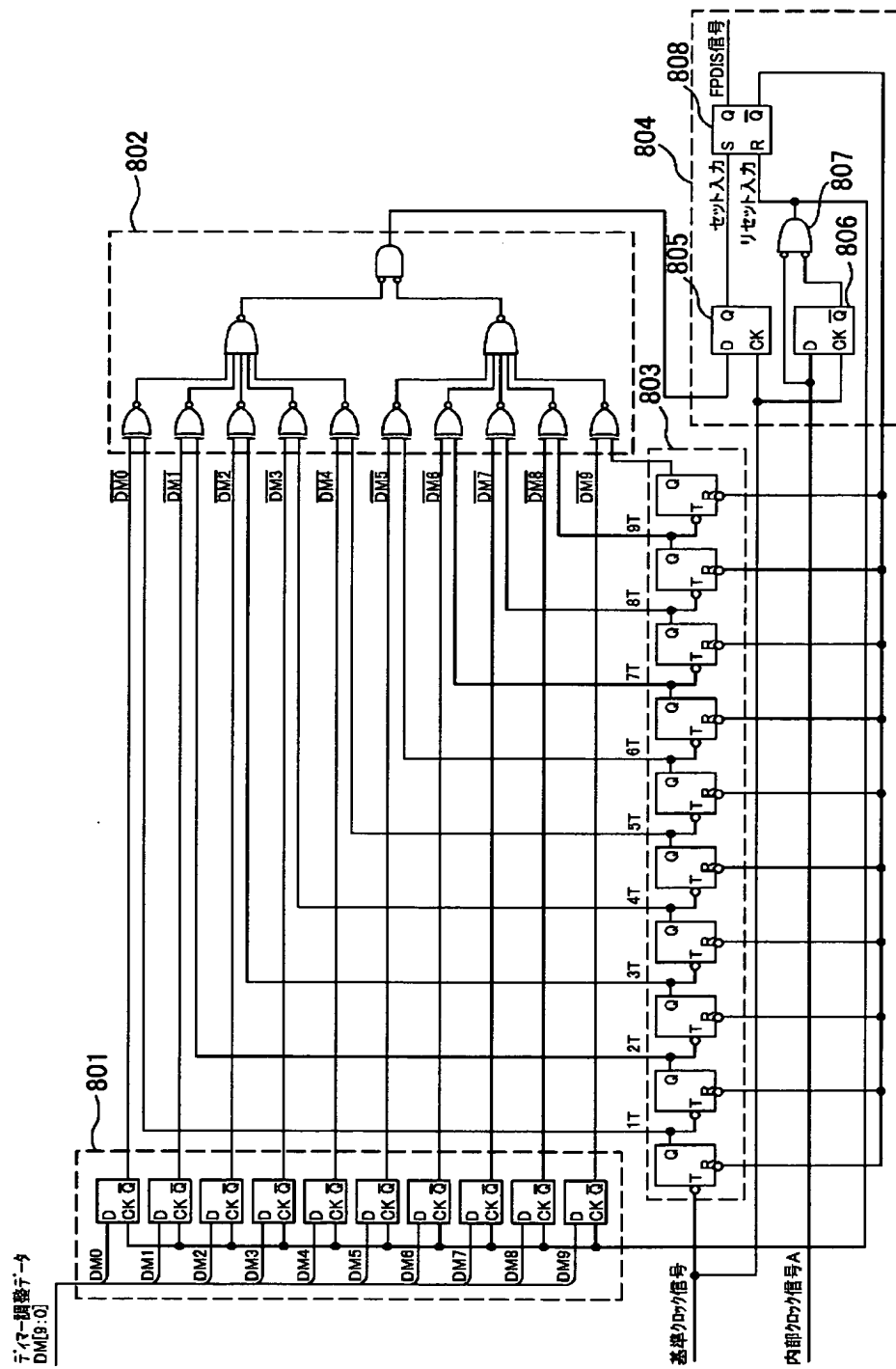
【図 4】



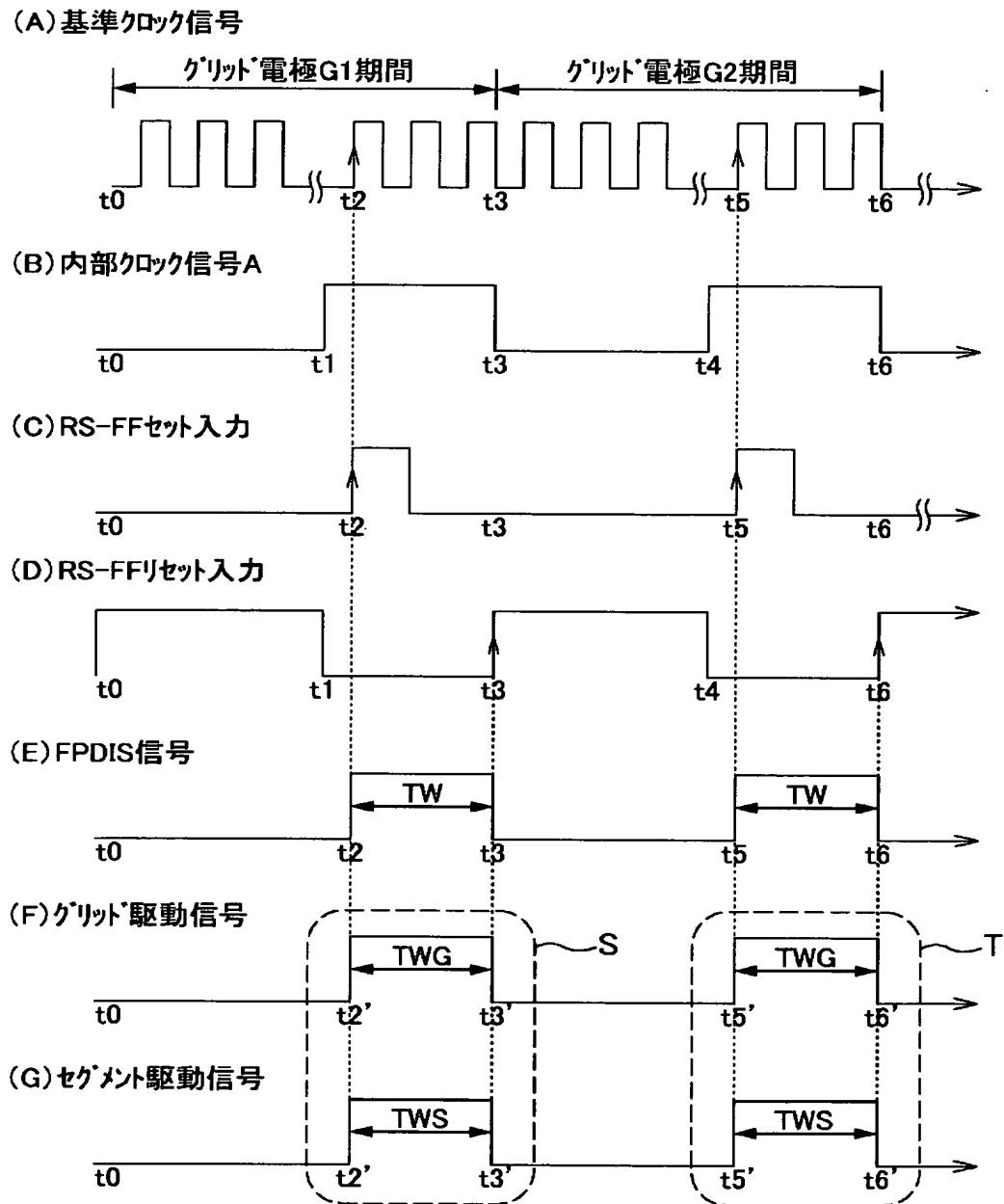
【図 5】



【図 6】



【図 7】



【図 8】

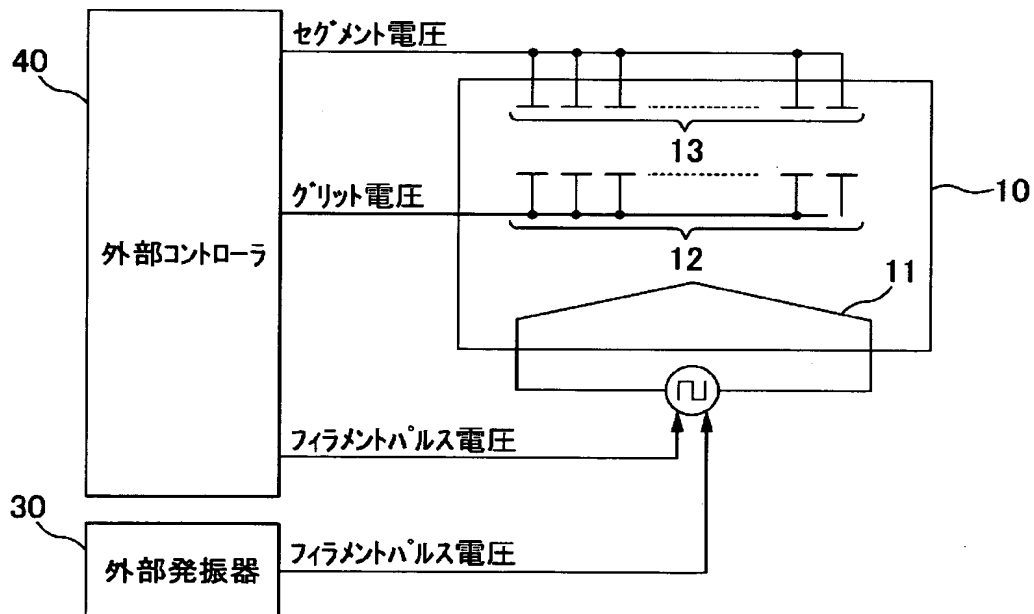
(a)

ディマー調整データ										ディマー値 (TW/T)
DM9	DM8	DM7	DM6	DM5	DM4	DM3	DM2	DM1	DM0	
0	0	0	0	0	0	0	0	0	0	0/1024
0	0	0	0	0	0	0	0	0	1	1/1024
0	0	0	0	0	0	0	0	1	0	2/1024
										⋮
1	1	1	1	1	1	1	1	0	0	1020/1024
1	1	1	1	1	1	1	1	0	1	1021/1024
1	1	1	1	1	1	1	1	1	0	1022/1024
1	1	1	1	1	1	1	1	1	1	設定不可

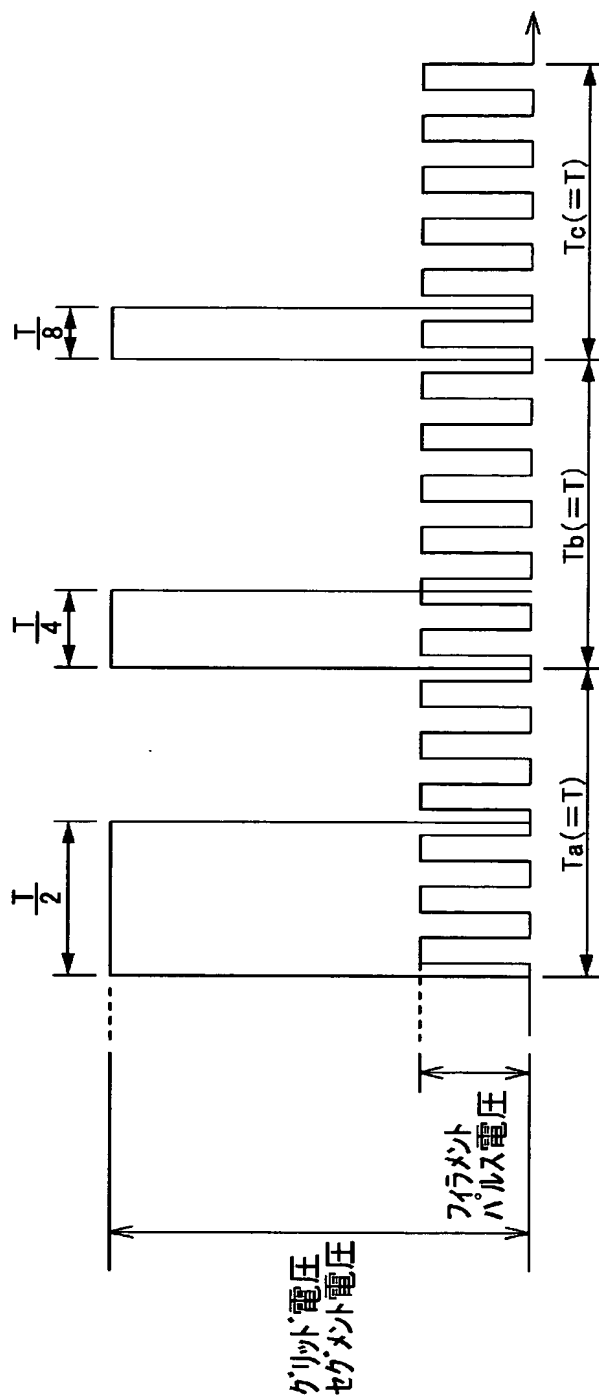
(b)

The diagram shows a rectangular pulse with width TW and period T. The pulse is centered within the period.

【図 9】



【図 10】



【書類名】 要約書

【要約】

【解決手段】 フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記フィラメントを駆動するフィラメント駆動手段と、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、を有する蛍光表示管駆動回路であって、前記グリッド駆動手段及び前記セグメント駆動手段によって、前記グリッド電極及び前記セグメント電極がともに駆動される電圧となり、前記電圧となる期間 TW が所定期間以下である場合に、前記フィラメント駆動手段の出力を前記期間 TW だけ無効とする制御手段を備える。

【選択図】 図 1

特願 2 0 0 3 - 0 8 6 4 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社